

Processor architecture for executing two different fixed-length instruction sets

Publication number: TW525087 (B)

Publication date: 2003-03-21

Inventor(s): KRISHNAN SIVARAM [US]; DEBBAGE MARK [GB]; ZIESLER SEBASTIAN HAVLUJ [US]; ROY KANAD [CA]; STURGES ANDREW CRAIG [GB] +

Applicant(s): HITACHI LTD [JP] +

Classification:

- international: G06F9/30; G06F9/318; G06F9/32; G06F9/30; G06F9/318; G06F9/32; (IPC1-7): G06F9/30

- European: G06F9/318T

Application number: TW20000120411 20000930

Priority number(s): US19990411140 19991001

Also published as:

EP1089167 (A2)

EP1089167 (A3)

US2005262329 (A1)

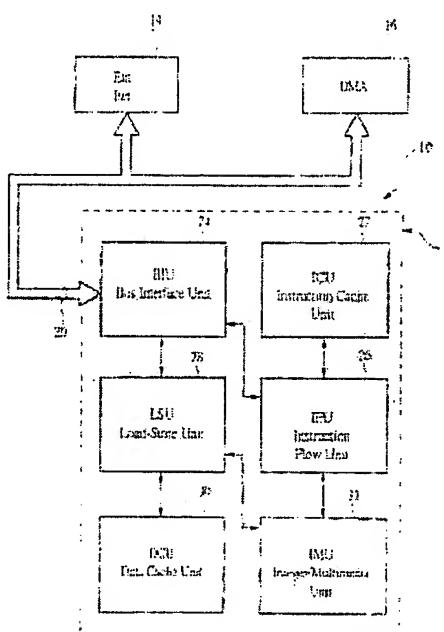
KR20010050792 (A)

JP2001142692 (A)

Abstract of TW 525087 (B)

A processor element, structured to execute a 32-bit fixed length instruction set architecture, is backward compatible with a 16-bit fixed length instruction set architecture by translating each of the 16-bit instructions into a sequence of one or more 32-bit instructions. Switching between 16-bit instruction execution and 32-bit instruction execution is accomplished by branch instructions that employ a least significant bit position of the address of the target of the branch to identify whether the target instruction is a 16-bit instruction or a 32-bit instruction.

FIG.1



Data supplied from the **espacenet** database — Worldwide

中華民國專利公報 [19] [12]

[11]公告編號：525087

[44]中華民國 92年 (2003) 03月21日

發明

全 8 頁

[51] Int.Cl⁰⁷ : G06F9/30

[54]名稱：執行兩種不同固定長度指令集之處理器架構

[21]申請案號：089120411 [22]申請日期：中華民國 89年 (2000) 09月30日

[30]優先權：[31]09/411,140 [32]1999/10/01 [33]美國

[72]發明人：

席瓦倫·克里斯能	美國
馬克·迪其格	美國
莎巴斯坦·列斯勒	美國
肯納德·羅伊	美國
安卓·史特格	英國
培森特·比利斯瓦	美國

[71]申請人：

日立製作所股份有限公司	日本
-------------	----

[74]代理人：林志剛先生

1

2

[57]申請專利範圍：

1.一種處理器，可由 M 位元指令集或 N 位元指令集操作，其中 M 與 N 為整數，且 M 小於 N，包含：

一記憶體單元，用於儲存至少第一及第二指令流，分別包含 N 位元指令及 M 位元指令；

一執行單元，可操作接收執行信號以執行 N 位元指令；

一解碼單元，耦合至記憶體單元及執行單元，以從記憶體單元接收並解碼第一及第二指令流，以產生執行信號，解碼單元包括一翻譯單元，用於接收各 M 位元指令，以翻譯各第一組的 M 位元指令至對應的 N 位元指令，且翻譯各第二組的 M

位元指令至兩個或以上的 N 位元指令，以藉由解碼單元解碼。

- 2.如申請專利範圍第 1 項之處理器，其中各 M 位元及 N 位元指令被儲存於記憶體單元中，在由記憶體位址辨識的位置，使至少一位元位置設定為第一狀態以辨識 M 位元指令的記憶體位址，及第二狀態以辨識 N 位元指令的記憶體位址。
- 3.如申請專利範圍第 2 項之處理器，其中 N 位元指令流包括至少一 N 位元分支指令，解碼單元操作以執行 N 位元分支指令，以從執行 N 位元指令切換至執行 M 位元指令。
- 4.如申請專利範圍第 1 項之處理器，其

(2)

3

中 N 等於 $2M$ 。

5. 如申請專利範圍第 1 項之處理器，其中 M 為 16 且 N 為 32 。
6. 如申請專利範圍第 2 項之處理器，其中一位元位置為記憶體位址的最小明顯位元 。
7. 一種處理器單元，包括：
一記憶體，用於儲存許多指令，包括 M 位元指令及 N 位元指令，其中 M 與 N 為整數且 M 小於 N ，各指令被儲存在由記憶體位址辨識的記憶體位置，各記憶體位址使位元位置設定為 M 位元指令之第一狀態，及 N 位元指令之第二狀態；
一指令流控制單元，用於取還來自記憶體之指令，以控制取還後的指令之執行，指令流控制單元包括一翻譯單元，可操作以接收 M 位元指令，以翻譯成兩個或以上的 N 位元指令之順序。
8. 一種微處理器，包含：
一記憶體元件，包含許多 M 位元指令及 N 位元指令，其中 M 與 N 為整數且 M 小於 N ；
一指令取得單元，耦合至記憶體元件，用於取還 M 位元指令或 N 位元指令，指令取得單元包括：
一翻譯單元，用於翻譯從記憶體元件取得的 M 位元指令成一個或以上的 N 位元指令之順序；及
一解碼單元，耦合至記憶體元件及翻譯單元，用於接收從各記憶體元件取得之 N 位元指令，及來自翻譯單元之 N 位元指令，以解碼此 N 位元指令。
9. 如申請專利範圍第 8 項之微處理器，包括至少一目標暫存器，用於保持目標位址，許多 N 位元指令包括一準備目標指令，其當被微處理器執行時，負載目標位址於目標暫存器

4

中。

10. 如申請專利範圍第 9 項之微處理器，其中許多 N 位元指令包括一 BLINK 分支指令，操作以使用目標暫存器至分支中的目標位址，以使 M 位元目標指令或 N 位元目標指令從記憶體元件被取得，分別用於翻譯或解碼。
11. 如申請專利範圍第 10 項之微處理器，其中 BLINK 分支指令是一非狀態的分支指令。
12. 如申請專利範圍第 9 項之微處理器，其中目標位址包括位元位置，設定為第一狀態以辨識 M 位元目標指令。
13. 如申請專利範圍第 12 項之微處理器，其中位元位置被設定為第二狀態以辨識 N 位元目標指令。
14. 一種微電腦，形成在單一晶片上，包括：
記憶體，儲存 M 位元指令及 N 位元指令，其中 M 與 N 為整數，且 N 大於 M ；
一翻譯器，耦合至記憶體以接收 M 位元指令，用於將各 M 位元指令翻譯成一個或以上的 N 位元指令之順序；及
一解碼器，耦合至記憶體及解碼器，用於接收並解碼 N 位元指令。
15. 如申請專利範圍第 14 項之微電腦，其中 M 為 16 且 N 為 32 。
16. 如申請專利範圍第 14 項之微電腦，其中 N 位元指令包括一 N 位元分支指令，其含有表示目標指令之分支位址的資料，分支位址使位元位置設定為第一狀態，當目標指令是一 M 位元指令。
17. 一種藉由形成在單一晶片上之微電腦執行 M 位元指令及 N 位元指令之方法， M 與 N 為整數且 M 小於 N ，

(3)

5

比方法包括以下步驟：
儲存 M 位元及 N 位元指令於記憶體中；
操作於第一模式中，以依序地解碼 N 位元指令；
操作於第二模式中，以依序地將 M 位元指令翻譯成一固或以上的 N 位元指令之順序，然後解碼 N 位元指令。
18.如申請專利範圍第 17 項之方法，其中 N 位元指令包括 N 位元分支指令，且操作於第一模式之步驟包括解碼至分支之 N 位元分支指令成為具有記憶體位址之 M 位元指令，最小明顯位元被設定為第一狀態，以從第一狀態切換至操作的第二狀態。
19.一種執行 M 位元指令之方法，在被做成執行 N 位元指令及 M 位元指令的微電腦中，N 位元指令包括 N 位元分支指令，且 M 位元指令包括 M 位元分支指令，其中 M 與 N 為整數，且 N 大於 M，此方法包括以下步驟：
以一個或以上的 N 位元指令之順序升級各 M 位元分支指令；
以準備至提供分支位址及隨後使用分支位址之 N 位元分支指令之分支指令升級 M 位元分支指令。
20.如申請專利範圍第 19 項之方法，包括提供至少一目標位址暫存器之步驟，及升級 M 位元分支指令之步驟，M 位元分支指令包括準備至分支指令，負載目標位址暫存器目標位址。
21.如申請專利範圍第 20 項之方法，升級 M 位元分支指令之步驟，包括 N 位元分支指令讀取用於目標位址之目標位址的步驟。
22.如申請專利範圍第 14 項之微電腦，

6

包括許多一般用途暫存器，各響應一個或以上的 N 位元指令，用於儲存資料。
23.如申請專利範圍第 22 項之微電腦，其中許多一般用途暫存器各包括 2N 位元位置。
24.如申請專利範圍第 22 項之微電腦，其中預定的一個或以上的 N 位元指令負載資料，於選定的許多一般用途暫存器之下級位元位置中。
25.如申請專利範圍第 22 項之微電腦，其中一個或以上的 N 位元指令的第一個負載資料，於選定的許多一般用途暫存器之下級位元位置中，且一個或以上的 N 位元指令的第二個負載資料，於許多一般用途暫存器之高級位元位置中。
26.如申請專利範圍第 22 項之微電腦，其中預定的一個或以上的 N 位元指令負載資料，於選定的許多一般用途暫存器之下級位元位置中，資料之最大明顯位元延伸於選定的許多一般用途暫存器之高級位元位置中。
25. 圖式簡單說明：
圖 1 是一方塊圖，指出使用做成實施本發明之處理器元件的處理系統；
圖 2 是一方塊圖，指出圖 1 所示之處理器元件的指令取得單元(IFU)；
圖 3 是包含圖 2 所示之分支單元的狀態暫存器之配置；
圖 4 是一方塊圖，指出圖 2 所示之解碼器(DEC)；
圖 5 指出從一指令集架構映射至第二指令集架構之狀態；及
圖 6 是一流程圖，指出本發明之觀點以控制指令流。

(4)

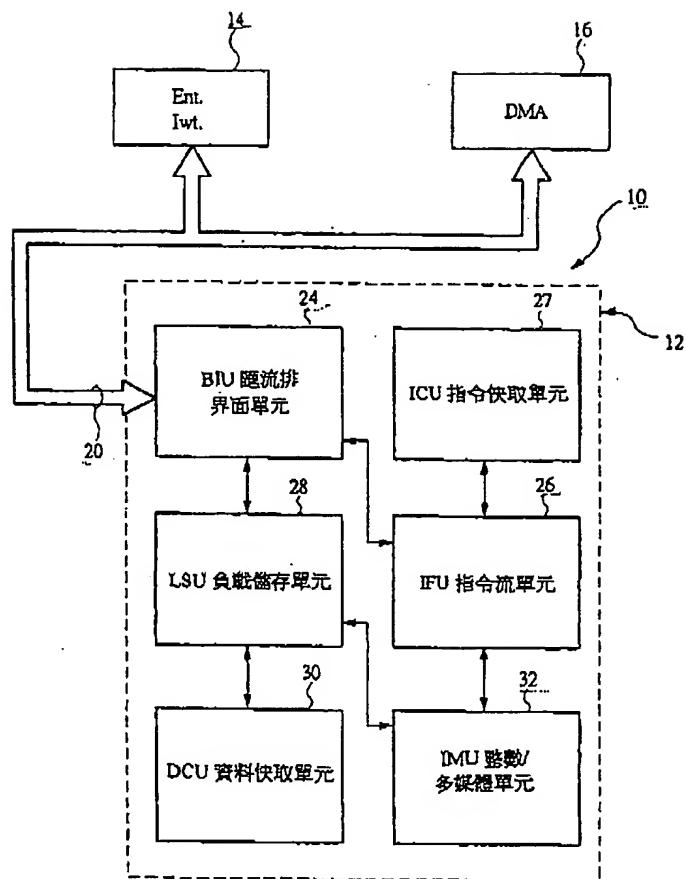


圖 1

(5)

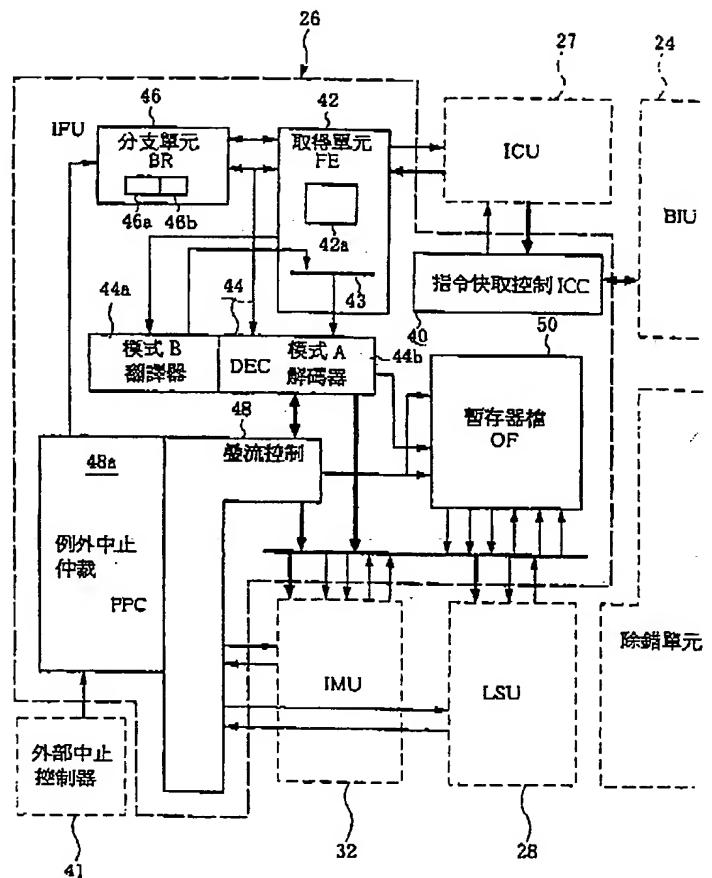


圖 2

(6)

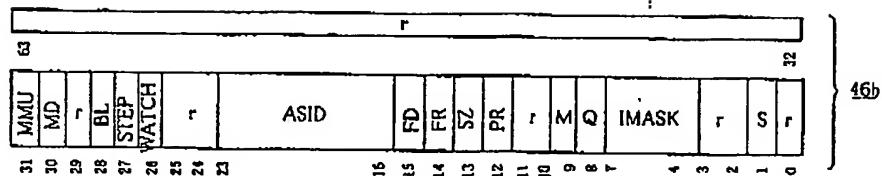


圖 3

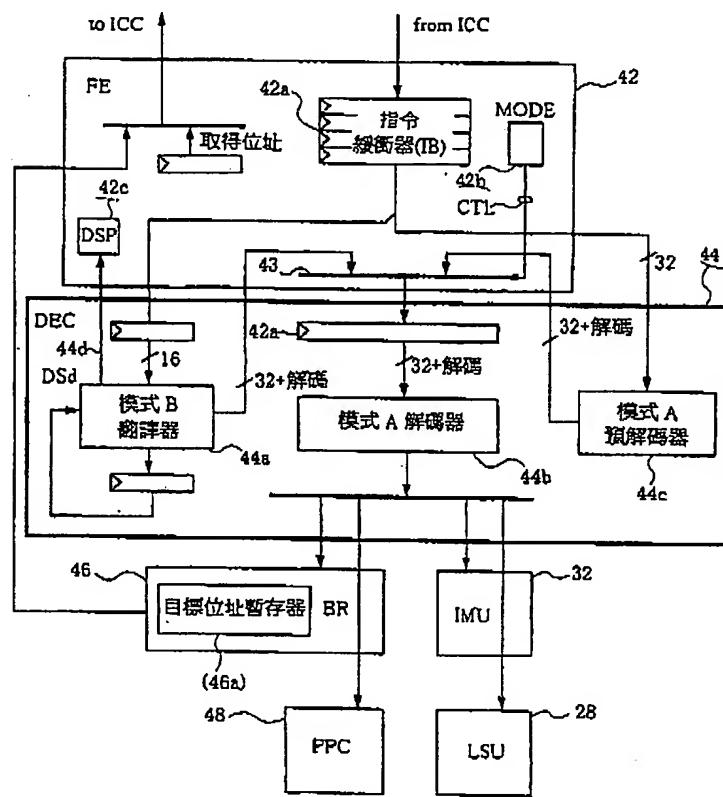


圖 4

模式 B 狀態	敘述	模式 A 狀態
PC	程式計數器	PC 之下 32 位元
R _i where i is in [0, 15]	模式 B 一般用途暫存器	R _i 之下 32 位元， 其中 i 是在 [0, 15] 中
PR	程序變暫存器	R ₀ 之下 32 位元
GBR	全球基礎暫存器	R ₀ 之下 32 位元
MACL	多播放-累積低	R ₀ 之下 32 位元
MACH	多播放-累積高	R ₀ 之下 32 位元
T	狀態碼旗標	R ₀ 之位元 0
S	多播放-累積飽和高	SR. S
M	分割-步驟 M 旗標	SR. M
Q	分割-步驟 Q 旗標	SR. Q

圖 5

(8)

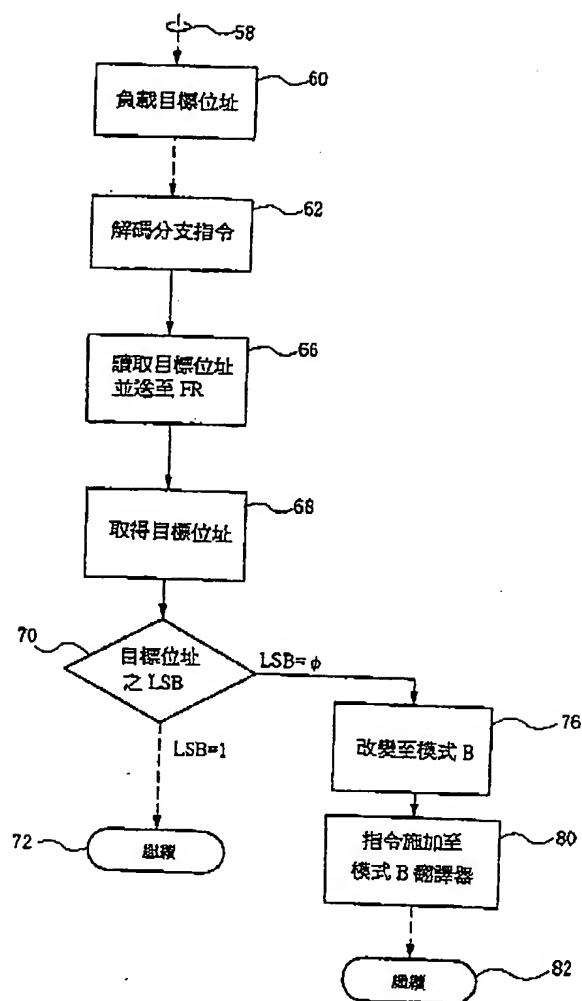


圖 6